

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-081211

(43)Date of publication of application : 28.03.1997

(51)Int.Cl.

G05B 19/05
H01L 33/00
H03K 17/78

(21)Application number : 07-237078

(71)Applicant : HITACHI LTD

(22)Date of filing : 14.09.1995

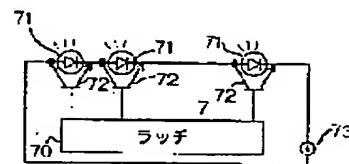
(72)Inventor : KOJIMA TOMOHIRO
UMEDA KAZUNORI

(54) DISPLAY CIRCUIT AND PROGRAMMABLE CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce current consumption as compared with the parallel driving of plural LEDs by driving the LEDs in series.

SOLUTION: When data are written in a latch 70, a transistor(TR) switch 72 connected to the output of a bit of which value is '1' is turned on, a current from a constant current source 73 is allowed to flow into the TR switch 72 turned to the ON state and is not allowed to flow into its corresponding LED 71. Thereby the LED 71 is not turned on. On the other hand, a TR switch 72 connected to the output of a bit of which value is '0' is turned off and a current from the constant current source 73 is not allowed to flow into the TR switch 72 turned to the OFF state but is allowed to flow into its corresponding LED 71. Thereby the LED 71 is turned on.



LEGAL STATUS

[Date of request for examination] 16.09.1999

[Date of sending the examiner's decision of rejection] 16.04.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

早期審査の先行技術

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-81211

(43) 公開日 平成9年(1997)3月28日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
G 0 5 B 19/05			G 0 5 B 19/05	L
H 0 1 L 33/00			H 0 1 L 33/00	J
H 0 3 K 17/78			H 0 3 K 17/78	K

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21) 出願番号 特願平7-237078

(22) 出願日 平成7年(1995)9月14日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 小島 智浩

新潟県北蒲原郡中条町大字富岡46番地1

株式会社日立製作所産業機器事業部内

(72) 発明者 梅田 和規

新潟県北蒲原郡中条町大字富岡46番地1

株式会社日立製作所産業機器事業部内

(74) 代理人 弁理士 富田 和子

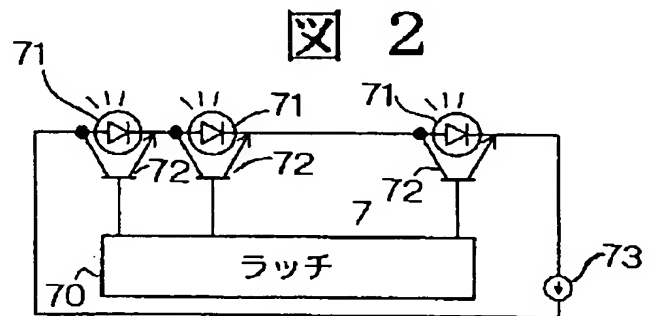
(54) 【発明の名称】 表示回路およびプログラマブルコントローラ

(57) 【要約】

【目的】 消費電流を低減する。

【構成】 ラッチ20にデータが書き込まれると、値が1のビット出力に接続するトランジスタスイッチ72はオン状態となり、定電流源73よりの電流はオン状態となったトランジスタスイッチを流れ、対応するLED71には流れない。よって、このLED71は点灯しない。一方、値が0のビット出力に接続するトランジスタスイッチ72はオフ状態となり、定電流源73よりの電流はオフ状態となったトランジスタスイッチは流れずに、対応するLED71を流れる。よって、このLED71は点灯することになる。

【構成】 直列にLEDを駆動することにより並列に駆動する場合に比べ消費電流が低減される。



【特許請求の範囲】

【請求項1】定電流源と、前記定電流源と直列に接続された複数の、直列に接続された発光素子と、各発光素子に対応して設けられた、対応する発光素子に並列に接続されたバイパス回路とを有し、

前記バイパス回路は、供給される制御信号に応じて、対応する発光素子の両端を、対応する発光素子の抵抗値に比べ十分に小さな抵抗値をもって短絡することを特徴とする表示回路。

【請求項2】直列に接続された発光素子と出力素子よりなる、複数の直列に接続した出力表示回路と、前記複数の出力表示回路と直列に接続した定電流源と、前記各出力表示回路に対応して設けられた、対応する出力表示回路に並列に接続されたバイパス回路とを供え、前記バイパス回路は、供給される制御信号に応じて、対応する発出力表示回路の両端を、対応する出力表示回路の抵抗値に比べ十分に小さな抵抗値をもって短絡することを特徴とする出力回路。

【請求項3】直列に接続された発光素子と出力素子よりなる、複数の直列に接続した入力表示回路と、前記複数の入力表示回路に直列に接続した検知素子と、前記複数の入力表示回路に直列に接続した定電流源と、前記各出力表示回路に対応して設けられた、対応する出力表示回路に並列に接続されたバイパス回路とを供え、前記バイパス回路は、供給される制御信号に応じて、対応する発出力表示回路の両端を、対応する出力表示回路の抵抗値に比べ十分に小さな抵抗値をもって短絡することを特徴とする出力回路。

【請求項4】請求項1記載の表示回路と、前記表示回路に前記制御信号を供給するプロセッサとを有することを特徴とするプログラマブルコントローラ。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明はプログラマブルコントローラの入出力部などに用いられる表示回路の省電力化の技術に関するものである。

【0002】

【従来の技術】図1に従来のプログラマブルコントローラの内部構成を図6に示す。

【0003】図中、1はCPU、2は表示部、3は入力部、4は出力部、5はメモリ、6は入出力ポートである。

【0004】このような構成にプログラマブルコントローラにおいて、CPU1は、ポート6から取り込んだユーザプログラムをメモリ5に取り込む。そして、以降は入力部から取り込んだ制御対象の状態を表すデータや、ポートから取り込んだスイッチ設定等の入力に応じた処理を、メモリ5に取り込んだユーザプログラムに従って実行し、結果を出力部から制御対象に出力し、制御対象を制御する。

【0005】このような処理に際して、CPU1は、出力部4から出力したデータの値等を表示部2を用いて表示する。

【0006】表示部の構成を図7に示す。

【0007】図示するように、表示部2は、ラッチ20、LED21、抵抗22より構成される。ラッチ20の各ビット出力は、それぞれ異なるLED21のカソード側に接続し、ラッチ20の各ビット入力にはCPU1にバスを介して接続している。また、各LED21のアノード側は対応する抵抗22を介して5Vの電源23に接続している。このような構成において、CPU1よりラッチ20にデータが書き込まれると、値が0のビットに対応するビット出力に接続するLED21には抵抗を介して電源23より順電流が流れ点灯する。一方、値が1のビットに対応するビット出力に接続するLED21は順電流が流れず点灯しない。

【0008】次に、入力部3の構成を図8に示す。

【0009】図示するように、入力部3は、ラッチ30、フォトカプラ31、抵抗32、LED33、抵抗34より構成される。ラッチ30の各ビット出力は、CPU1とバスによって接続している。また、ラッチ30の各ビット入力毎にフォトカプラ31、抵抗32、LED33、抵抗34の組が設けられている。いま、ラッチ30の一つのビットに着目して説明すると、外部のスイッチ35がオンのときには、電源37、フォトカプラ31中のLED、外部スイッチ35の順に電流が流れ、フォトカプラ31中のフォトトランジスタがオンする。そうすると、電源36、抵抗34、LED33、抵抗34、フォトカプラ31中のフォトトランジスタ、接地電位38の順に電流が流れLED33が点灯する。また、LED31のカソード側はローレベルの電位となり、ラッチ30の対応するビットには値0が取り込まれる。一方、外部のスイッチ35がオフのときには、フォトカプラ31中のフォトトランジスタがオフのままであり、LED31には電流は流れず点灯しない。また、LED31のカソード側は、電源36によってプルアップされた状態となり、その電位はハイレベルの電位となる。したがって、この場合にはラッチ30の対応するビットに値1が取り込まれる。

【0010】すなわち、ラッチ30に取り込まれるデータの、オン状態のスイッチに対応するビットは1に、オフ状態にあるスイッチに対応するビットは0になる。また、オン状態のスイッチに対応するLED31は点灯し、オフ状態にあるスイッチに対応するLED31は点灯しない。

【0011】次に、出力部4の構成を図9に示す。図示するように、出力部4は、ラッチ40、フォトカプラ41より構成される。

【0012】ラッチ40の各ビット出力は、それぞれ異なるフォトカプラ41中のLEDに接続し、ラッチ20の各ビット入力にはCPU1にバスを介して接続している。

【0013】このような構成において、CPU1よりラッ

チ20にデータが書き込まれると、値が0のビットに対応するビット出力に接続するフォトカプラ41中のLEDには電源42より順電流が流れ、フォトカプラ41中のフォトダイオードがオンする。一方、値が1のビットに対応するビット出力に接続するフォトカプラ41中のLEDには電源42より順電流が流れず、フォトカプラ41中のフォトダイオードはオフ状態となる。

【0014】

【発明が解決しようとする課題】さて、先に説明した表示部2や、出力部4や、入力部3の消費電流は、できるだけ小さくすることが好ましい。

【0015】すなわち、消費電流が大きい場合には、用意しなければならない電源を大容量化することが必要となるだけでなく、電源板の大形化や、消費発熱量の増大を招き、プログラマブルコントローラを小型化することが困難となる。

【0016】そこで、より消費電流の小さな表示回路や、出力回路や、入力回路を提供することを目的とする。

【0017】

【課題を解決するための手段】前記目的達成のために本発明は、たとえば、定電流源と、前記定電流源と直列に接続された複数の、直列に接続された発光素子と、各発光素子に対応して設けられた、対応する発光素子に並列に接続されたバイパス回路とを有し、前記バイパス回路は、供給される制御信号に応じて、対応する発光素子の両端を、対応する発光素子の抵抗値に比べ十分に小さな抵抗値をもって短絡することを特徴とする表示回路を提供する。

【0018】

【作用】本発明に係る表示回路によれば、あるバイパス回路が供給される制御信号に応じて、対応する発光素子の両端を短絡すると、定電流源からの電流は、この短絡された電流路を流れ、対応する発光素子には流れない。したがって、この発光素子は点灯しない。一方、バイパス回路が対応する発光素子の両端を短絡していないときには、定電流源からの電流は、発光素子を流れるので、発光素子は点灯する。

【0019】すなわち、本発明では、各発光素子を直列に接続して、定電流源からの定電流によって駆動し、発光素子の点灯、非点灯の制御を、各発光素子に対応して設けたバイパス回路を制御することにより行うことができる。ここで、定電流源よりの定電流によって、直列に各発光素子を駆動するコトに要する消費電流は、先に図7に示したように並列に発光素子を駆動する場合に比べ少なくて済む。

【0020】

【実施例】以下、本発明の一実施例について説明する。

【0021】まず、第1の実施例について説明する。

【0022】図1に、本第1実施例に係るプログラマブル

コントローラの構成を示す。

【0023】図中、1はCPU、7は表示部、3は入力部、4は出力部、5はメモリ、6は入出力ポートである。すなわち、本第1実施例に係るプログラマブルコントローラの構成は、図6に示した従来のプログラマブルコントローラの構成と、ほぼ同様であり、表示部2の内部構成のみが異なる。

【0024】図2に、本第1実施例に係る表示部7の内部構成を示す。

【0025】図示するように、本第1実施例に係る表示部7は、ラッチ70、LED71、トランジスタスイッチ72、定電流源73より構成される。ラッチ20の各ビット出力は、それぞれ異なるトランジスタスイッチ72のベースに接続し、ラッチ20の各ビット入力はCPU1にバスを介して接続している。

【0026】また、複数のLED71と定電流源73が直列に接続されており、各LED71の両端には、それぞれ異なるトランジスタスイッチ72のコレクタ、エミッタに接続している。

【0027】このような構成において、CPU1よりラッチ20にデータが書き込まれると、値が1のビットに対応するビット出力に接続するトランジスタスイッチ72はオン状態となり、定電流源73よりの電流は、オン状態となったトランジスタスイッチのコレクタ、エミッタ間を流れ、このコレクタ、エミッタの間に接続されたLED71には流れない。したがって、このLED71は点灯しない。一方、値が0のビットに対応するビット出力に接続するトランジスタスイッチ72はオフ状態となり、定電流源73よりの電流は、オフ状態となったトランジスタスイッチのコレクタ、エミッタ間には流れずに、このコレクタ、エミッタの間に接続されたLED71を流れる。したがって、このLED71は点灯することになる。

【0028】このように、本第1実施例では、各LED71を、定電流源73よりの定電流によって、直列に駆動している。したがって、先に図7に示したように並列に各LEDを駆動する場合に比べ消費電流は少なくて済む。たとえば、一つのLEDに4mAの電流を供給する必要がある場合を考えると、従来は、 $4\text{mA} \times \text{LEDの個数}$ 分の消費電流が必要であったのに対し、本実施例では消費電流は4mAですむ。ただし、実際には、LEDの電圧降下が存在するので、LEDの個数が多い場合には、図2に示した表示部を複数設ける必要があるが、この場合でも従来に比べ消費電流は少なくて済む。

【0029】以上、本発明の第1実施例について説明した。

【0030】次に、本発明の第2実施例について説明する。

【0031】図3に、本第2実施例に係るプログラマブルコントローラの構成を示す。

【0032】図中、1はCPU、8は入力部、9は出力

部、5はメモリ、6は入出力ポートである。すなわち、本第1実施例に係るプログラマブルコントローラの構成は、図6に示した従来のプログラマブルコントローラの構成より表示部2を省略した構成となっている。また、入力部と出力部の内部構成が図6に示したものと異なる。また、本第2実施例では、CPU1は、入力部8より外部スイッチの状態をバスを介してではなく、シリアル入出力線を介して直接取り込むようにしている。ただし、これはバスを介して取り込むようにしてもよい。

【0033】図4に、本第2実施例に係る入力部8の構成を示す。

【0034】図示するように、入力部8は、ラッチ80、トランジスタスイッチ82、LED81、フォトカプラ83、定電流源84から構成される。ラッチ80の各ビット入力、CPU1とバスによって接続している。また、ラッチ80の各ビット出力には、トランジスタスイッチ82のベースが接続している。また、定電流源84、LED81、外部スイッチ35、LED81、...、外部スイッチ35、フォトカプラ83、定電流源83の順に直列に接続されており、各トランジスタスイッチ82のエミッタとコレクタは、直列に接続されたLED81のアノードと、外部スイッチ35のLED81のカソードに接続していない端にそれぞれ接続されている。

【0035】このような構成において、CPU1は、ラッチ80に1ビットのみが値0で、他のビットの値が1のデータを書き込む。このようにすると、値が1のビット出力に接続したトランジスタスイッチ82はオン状態となり、値が0のビット出力に接続したトランジスタスイッチ82のみがオフ状態となる。このようにすると、定電流源83からオン状態であるトランジスタスイッチ82のコレクタに供給された電流はトランジスタスイッチ82を流れ、外部スイッチ35の状態にかかわらずにオン状態であるトランジスタスイッチ82のコレクタ、エミッタ間に接続されたLED81、外部スイッチ35は流れない。一方、定電流源83からオフ状態であるトランジスタスイッチ82のコレクタに供給された電流はオフ状態であるトランジスタスイッチ82を流れずに、外部スイッチ35の状態がオンであれば、オフ状態のトランジスタスイッチ82のコレクタ、エミッタ間に接続されたLED81、外部スイッチ35に流れる。また、外部スイッチ35の状態がオフであれば、オフ状態のトランジスタスイッチ82のコレクタ、エミッタ間に接続されたLED81、外部スイッチ35に電流は流れない。

【0036】したがって、フォトカプラ83には、オフ状態のトランジスタスイッチ82のコレクタ、エミッタ間に接続された外部スイッチ35がオン状態の場合のみ電流が流れる。したがって、フォトカプラ83によってこの電流を検出することができ、CPU1は、この検出値を取り込むことにより、ラッチ80の値0のビットに対応する外部スイッチ35の状態を知ることができる。

【0037】また、オフ状態のトランジスタスイッチ82のコレクタ、エミッタ間に接続されたLED81にのみ、オフ状態のトランジスタスイッチ82のコレクタ、エミッタ間に接続された外部スイッチ35がオン状態の場合に電流が流れる、点灯する。オフ状態のトランジスタスイッチ82のコレクタ、エミッタ間に接続された外部スイッチ35がオフ状態の場合には、いずれのLED81にも電流は流れない。

【0038】このような動作において、CPU1は、値0のラッチ80のビットがひとつずつサイクリックにずれていくようにデータを順次書き込み、書き込み毎にフォトカプラ83の検出値を取り込む。これにより、スキャン方式により外部スイッチの状態をひとつずつ順次取り込むことができる。また、このような動作において、オン状態の外部スイッチに対応するLED81のみに断続的に電流が流れ点灯することになる。なお、このCPU1の動作がある程度以上高速であれば、オン状態の外部スイッチに対応するLED81は、実質的に連続点灯することになる。

【0039】次に、本第2実施例に係る出力部9の構成を図5に示す。

【0040】図示するように、本第2実施例に係る外部スイッチ9は、ラッチ90、トランジスタスイッチ92、LED91、フォトカプラ93、定電流源94から構成される。ラッチ90の各ビット入力、CPU1とバスによって接続している。また、ラッチ90の各ビット出力には、トランジスタスイッチ92のベースが接続している。また、定電流源94、LED91、フォトカプラ93、LED91、...、フォトカプラ93、定電流源94の順に直列に接続されており、各トランジスタスイッチ92のエミッタとコレクタは、直列に接続されたLED91のアノードと、フォトカプラ93のLED91のカソードに接続していない端にそれぞれ接続されている。

【0041】このような構成において、ラッチ90にCPU1からデータが書き込まれると、値が1のビット出力に接続されたトランジスタスイッチ92はオン状態となり、定電流源93から供給された電流が流れ、コレクタとエミッタ間に接続されたLED91とフォトカプラ93には流れない。したがって、このLED91は点灯せず、フォトカプラ93よりの出力もなされない。

【0042】一方、値が0のビット出力に接続されたトランジスタスイッチ92はオフ状態となり、定電流源93から供給された電流はトランジスタスイッチ92を流れず、コレクタとエミッタ間に接続されたLED91とフォトカプラ93に流れることになる。したがって、このLED91は点灯し、フォトカプラ93より出力がなされることになる。

【0043】以上のように、本第2実施例の出力部では、出力を行う複数のフォトカプラと出力状態を表示する複数のLEDとを直列に接続し、駆動する。したがって、

図9に示したように出力を行うフォトカプラを並列に駆動し、かつ、図9に示すように、別途表示部でLEDを並列に駆動し出力状態を表示していた従来にくらべ、消費電流は少なくて済む。たとえば、各フォトカプラに10mAの電流を、各LEDに4mAの電流を供給する場合を考えると、従来は $(10+4) \times$ 出力数分の電流を消費するが、本第2実施例によれば10mAの電流を消費するだけで足りる。ただし、出力数が多い場合には、図5に示した出力部を複数設ける必要があるが、この場合でも従来より消費電流は少なくて済む。

【0044】また、同様に、本第2実施例の入力部では、外部スイッチの状態を取り込むフォトカプラと外部スイッチによる入力状態を表示する複数のLEDとを直列に接続し駆動する。したがって、図8に示したようにフォトカプラを外部スイッチの状態に応じて並列に駆動し、かつ、LEDを並列に駆動して入力状態を表示していた従来にくらべ、消費電流は少なくて済む。たとえば、フォトカプラに10mAの電流を、各LEDに4mAの電流を供給する場合を考えると、従来は $(10+4) \times$ 入力数分の電流を消費するが、本第2実施例によれば10mAの電流を消費するのみで足りる。ただし、入力数が多い場合には、図4に示した入力部を複数設ける必要が、この場合でも従来より消費電流は少なくて済む。

【0045】以上本発明の実施例について説明した。以上説明してきたように、本発明の実施例によれば消費電流を低減することができ、また、これに応じて消費電力や発熱量を低減することができる。

【0046】

【発明の効果】以上のように、本発明によれば、より消費電流の小さな表示回路や、出力回路や、入力回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るプログラマブルコントローラの構成を示すブロック図である。

【図2】本発明の第1実施例に係る表示部の内部構成を示す図である。

【図3】本発明の第2実施例に係るプログラマブルコントローラの構成を示すブロック図である。

【図4】本発明の第2実施例に係る入力部の内部構成を示す図である。

【図5】本発明の第1実施例に係る出力部の内部構成を示す図である。

【図6】従来のプログラマブルコントローラの構成を示すブロック図である。

【図7】従来の表示部の構成を示す図である。

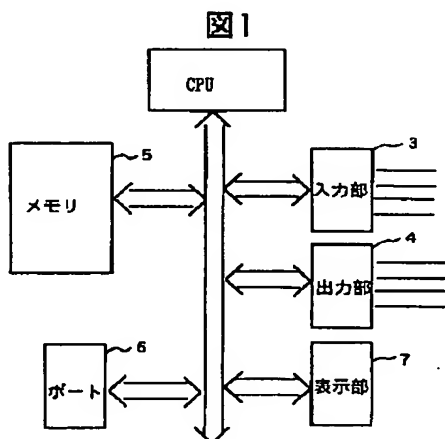
【図8】従来の入力部の構成を示す図である。

【図9】従来の出力部の構成を示す図である。

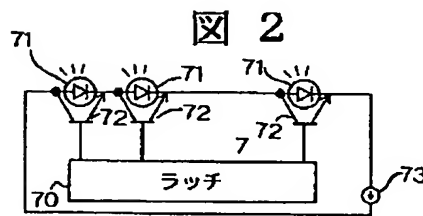
【符号の説明】

- 1 CPU
- 7…表示部
- 3、8…入力部
- 4、9…出力部
- 5…メモリ
- 6…入出力ポート

【図1】

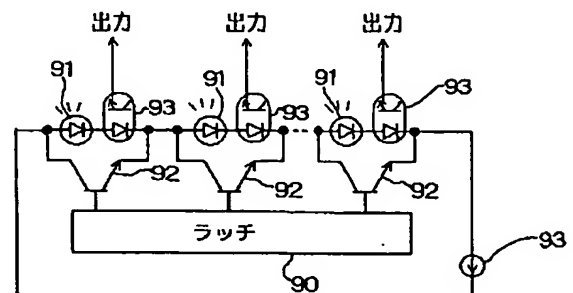


【図2】

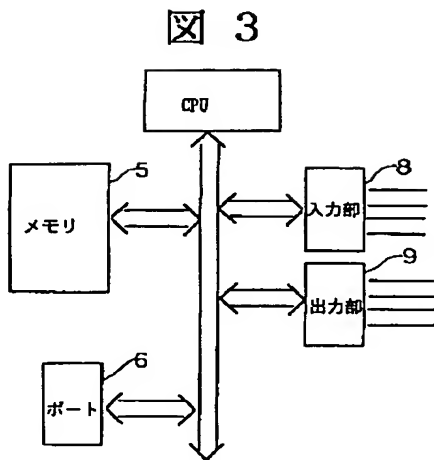


【図5】

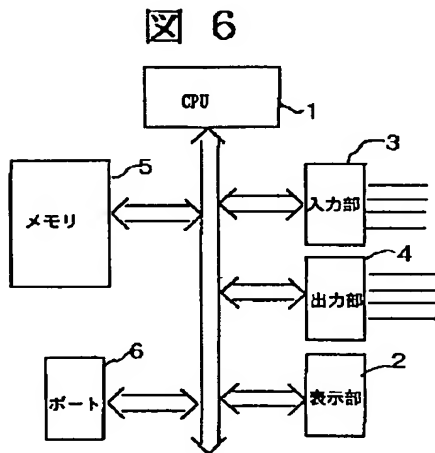
図 5



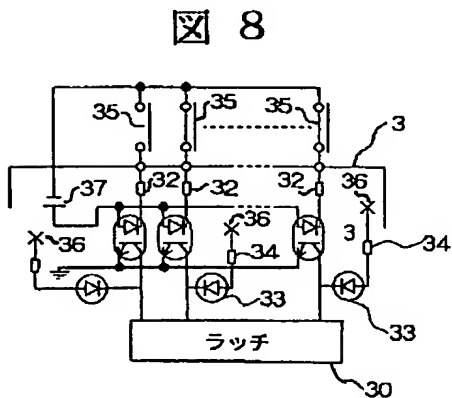
【図3】



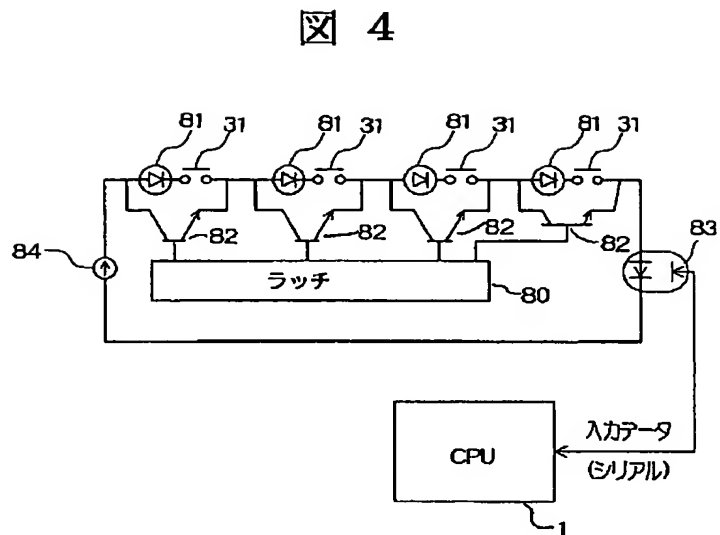
【図6】



【図8】

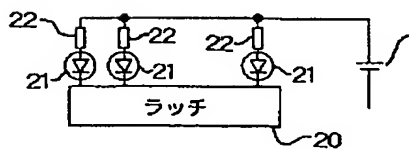


【図4】



【図7】

図7



【図9】

図9

